

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0079605
Application Number

출원년월일 : 2002년 12월 13일
Date of Application DEC 13, 2002

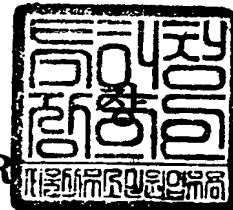
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002. 12. 13
【발명의 명칭】	프리셋 구조를 갖는 데이터 출력 버퍼
【발명의 영문명칭】	Data output buffer having a preset structure
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	권태우
【성명의 영문표기】	KWON, Tae Woo
【주민등록번호】	631122-1670219
【우편번호】	678-960
【주소】	경상남도 합천군 삼가면 일부리 874
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	6 항 301,000 원
【합계】	333,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

다수의 데이터 출력 버퍼와, 상기 다수의 데이터 출력 버퍼의 각 출력을 2개씩 한조로 하여 한조의 데이터 출력 버퍼 출력 중 어느 한 출력을 특정 레벨로 프리차지하거나 디스차지 하기 위한 프리셋 드라이버, 상기 한조의 데이터 출력 버퍼의 출력이 동일할 때 상기 프리셋 드라이버를 구동시키기 위한 제어 신호를 발생하는 제어 회로와, 상기 한조의 데이터 출력 버퍼의 출력을 동일한 레벨로 만들기 위해 한조의 데이터 출력간에 접속되는 세트 회로를 포함하여 이루어진 프리셋 구조를 갖는 데이터 출력 버퍼가 개시된다.

【대표도】

도 3

【색인어】

데이터 출력 버퍼, 프리차지

【명세서】

【발명의 명칭】

프리셋 구조를 갖는 데이터 출력 버퍼{Data output buffer having a preset structure}

【도면의 간단한 설명】

도 1 은 반도체 소자용 제어 신호를 생성하기 위한 블록도.

도 2 는 종래의 데이터 출력 버퍼의 상세 회로도.

도 3 은 본 발명에 따른 데이터 출력 버퍼의 상세 회로도.

도 4 는 도 3의 프리셋부의 상세 회로도.

도 5 는 도 4를 구동하기 위한 평가회로도.

도 6 은 본 발명에 따른 기수 데이터 출력 버퍼와 우수 데이터 출력 버퍼의 출력을 등화시키기 위한 세트 회로도.

도 7 은 종래 기술에 따른 데이터 출력 버퍼와 본 발명에 따른 데이터 출력 버퍼의 동작을 설명하기 위한 파형도.

도 8 은 본 발명에 따른 데이터 출력 버퍼의 시뮬레이션 결과 파형과 종래 기술에 따른 데이터 출력 버퍼의 시뮬레이션 결과 파형도.

도 9 는 본 발명에 따른 데이터 출력 버퍼의 출력 전류를 나타내는 파형도.

도 10 은 종래 기술에 따른 데이터 출력 버퍼의 출력 전류를 나타내는 파형도.

* 도면의 주요 부분에 대한 부호의 설명

10: 어드레스 천이 감지부 20: 등화 신호 생성회로

30: 제어 및 지연회로 50: 기수 데이터 출력 버퍼

60: 우수 데이터 출력 버퍼 70: 세트 회로

80: 프리셋 회로 90: 평가 회로

100: 프리셋 드라이버

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <17> 본 발명은 반도체 소자용 데이터 출력 버퍼에 관한 것으로 특히, 프리셋 구조를 갖는 데이터 출력 버퍼에 관한 것이다.
- <18> 도 1 은 반도체 소자용 제어 신호를 생성하기 위한 블록도이다.
- <19> 어드레스 천이 감지부(10)에서는 입력되는 어드레스가 천이될 때 이를 감지하여 어드레스 천이 감지 신호(atd)를 생성한다. 어드레스 감지신호(atd)에 따라 등화신호 생성회로(20)에서 등화신호(peq)를 생성한다. 제어 및 지연회로(30)에서는 입력되는 등화신호(peq)에 따라 각종 제어 신호 및 지연 신호(peqdly, poe.....)를 생성한다.
- <20> 도 2 는 종래의 데이터 출력 버퍼의 상세 회로도로서 도 7을 참조하여 그 동작을 설명하기로 한다. 도 7에 있어서, 어드레스(Add), 칩 셀렉트 신호(/cs), 출력 인에이블 신호(/OE) 및 서입 인에이블 신호(/WE)는 통상의 반도체 메모리 소자의 동작을 위해 사용되는 신호들 이다.
- <21> 도 2 는 독출동작시 어드레스 천이를 검출하여 독출 사이클이 시작된 후 일정시간 경과 후 센스 증폭기(도시안됨)로부터의 데이터(sodin)가 데이터 출력 버퍼에 도달하고

곧 바로 펄스 출력 인에이블 신호(poe)가 데이터 출력 버퍼를 동작시켜 데이터를 출력하는 구조이다. 좀더 상세히 설명하면 다음과 같다.

<22> 독출 동작이 시작되면 센스 증폭기의 출력 신호(sodin)가 데이터 출력 버퍼에 도달하게 된다. 인버터(I1 및 I2)를 경유한 펄스 출력 인에이블 신호(poe)가 로우 상태 즉, 대기 상태에서는 낸드 게이트(ND1 및 ND2)의 출력이 하이 상태 이므로 PMOS 및 NMOS 트랜지스터(P1 및 N1)가 턴오프 되므로 출력(dout)은 외부 터미네이션(termination; 40)에 의해 서서히 하이 임피던스 상태로 된다. 이후, 펄스 출력 인에이블 신호(poe)가 하이 상태로 올라가면, 센스 증폭기의 출력(sodin)이 출력(dout)으로 전달되는데, 센스 증폭기의 출력(sodin)이 하이 상태이면, 낸드 게이트(ND1)의 출력은 로우 상태가 되고, 이 로우 상태의 신호는 인버터(I3 및 I4)를 경유하여 PMOS트랜지스터(P1)의 게이트 단자에 인가된다. 그러므로 PMOS트랜지스터(P1)가 턴온되어 출력(dout)은 하이 상태가 된다.

<23> 반면에, 낸드 게이트(ND2)의 출력은 하이 상태가 되고, 이 하이 상태의 신호는 인버터(I6)에 의해 반전되어 NMOS트랜지스터(N1)의 게이트 단자에 입력된다. 그러므로 NMOS트랜지스터(N1)이 턴오프된다.

<24> 이러한 데이터 출력 버퍼는 외부 부하가 크고 독출 사이클이 빠르며 이전 사이클의 데이터와 반대의 데이터를 출력해야 하는 경우 출력(dout)은 제로(0)V 에서 Vcc로 크게 스윙해야 한다. 그러므로 스피드 지연 및 첨두 전류(Peak current)의 증가에 의한 노이즈 발생이 문제되고 있다. 특히, 와이드 비트(wide bit)형태로 구성되어 동시에 다수의 데이터를 출력해야 하는 경우 동시에 로우상태에서 하이 상태로, 또는 하이 상태에서 로우 상태로 출력(dout)이 변하게 되므로 첨두 전류의 증가에 의한 노이즈 발생은 피하기 어렵다.

【발명이 이루고자 하는 기술적 과제】

- <25> 따라서 본 발명은 데이터 출력 버퍼의 출력을 미리 중간 레벨로 프리세트한 후 입력 데이터에 따라 유효 데이터 레벨로 전환되도록하여 상술한 단점을 해소할 수 있는 프리셋 구조를 갖는 데이터 출력 버퍼를 제공하는데 그목적이 있다.

【발명의 구성 및 작용】

- <26> 상술한 목적을 달성하기 위한 본 발명에 따른 프리셋 구조를 갖는 데이터 출력 버퍼는 다수의 데이터 출력 버퍼와,
- <27> 상기 다수의 데이터 출력 버퍼의 각 출력을 2개씩 한조로 하여 한조의 데이터 출력 버퍼 출력 중 어느 한 출력을 특정 레벨로 프리차지하거나 디스차지 하기 위한 프리셋 드라이버;
- <28> 상기 한조의 데이터 출력 버퍼의 출력이 동일 할 때 상기 프리셋 드라이버를 구동시키기 위한 제어 신호를 발생하는 제어 회로와,
- <29> 상기 한조의 데이터 출력 버퍼의 출력을 동일한 레벨로 만들기 위해 한조의 데이터 출력간에 접속되는 세트 회로를 포함하여 이루어진 것을 특징으로 한다.
- <30> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.
- <31> 도 3 은 본 발명에 따른 프리셋 구조를 갖는 데이터 출력 버퍼의 상세 회로도이다.
- <32> 데이터 출력 버퍼는 다수로 이루어 지므로 본 발명에서는 기수 데이터 출력 버퍼와 우수 데이터 출력 버퍼로 구별하고 도 3 에 도시된 바와 같이 기수 데이터 출력 버퍼

(50)의 출력(dout1)에는 프리셋 드라이버(100)를 연결하고 우수 데이터 출력 버퍼(60)는 종래와 동일하게 구성한다. 또한, 기수 데이터 버퍼(50)의 출력(dout1)과 우수 데이터 출력 버퍼(60)의 출력(dout2)은 세트 회로(70)을 통해 서로 연결된다. 도 3 에는 2개의 데이터 출력버퍼만 도시되어 있지만 실제로는 4개, 16개, 32개 등 다수로 구성될 수 있으며, 이러한 경우에도 기수 데이터 출력 버퍼는 프리셋 드라이버(100)를 포함하게 되며 우수 데이터 출력 버퍼는 종래의 구성과 동일하다. 또한 기수차 데이터 출력 버퍼(50)의 출력(dout1)과 우수 데이터 출력 버퍼(60)의 출력(dout2)은 한조씩 세트 회로(70)에 의해 서로 연결된다.

<33> 도 3 및 도 7을 참조하여 본 발명의 기본 원리를 설명하기로 한다.

<34> 본 발명의 동작은 크게 4 단계로 나누어 볼 수 있다. 즉, 도 7에 도시된 바와 같이 평가 단계(a), 프리셋 단계(b), 세트 단계(c) 및 출력 단계(d)이다.

<35> 상기 4 단계의 동작을 설명하기 앞서 기수 데이터 출력 버퍼(50)의 동작을 설명하기로 한다. 프리셋 드라이버(100)를 제외한 구성은 종래의 구성과 동일하므로 이들의 각 소자에 대한 설명은 생략하기로 한다.

<36> 프리셋 드라이버(100)는 전원(Vcc)과 출력(dout1)간에 접속되며 제어 신호(dp12)에 따라 턴온되는 PMOS트랜지스터(P2)와, 출력(dout2)과 접지(Vss)간에 접속되며 제어 신호(dn12)에 따라 턴온되는 NMOS트랜지스터(N2)로 구성된다.

<37> 프리셋 드라이버(100)는 도 4에 도시된 프리셋 회로(80)의 출력에 따라 구동되며, 프리셋 회로(80)는 도 5의 평가 회로(90)의 출력에 따라 구동된다. 그러므로 평가회로

(90), 프리셋 회로(80) 및 프리셋 드라이버 회로(100) 순으로 그 동작을 설명하기로 한다.

<38> 평가 회로(90)는 기수 데이터 출력 버퍼의 출력 신호(dout1), 우수 데이터 출력 버퍼의 출력 신호(dout2) 및 도 1의 등화 신호(peq)에 따라 프리세트 신호(preset1) 및 프리세트 인에이블 신호(preset1-enb)를 생성한다.

<39> 이를 정리하면 표 1과 같다.

<40> 【표 1】

	1	2	3	4
dout1	H	L	H	L
dout2	H	L	L	H
preset1-enb	L	L	H	H
preset1	H	L	X	X

<41> 표 1에 도시된 바와 같이, 기수 출력 버퍼의 출력(dout1) 및 우수차 출력 버퍼의 출력(dout2)이 모두 하이 상태이면, 프리셋 인에이블 신호는 로우 상태로 인에이블 되고 프리세트 신호는 하이 상태가 된다. 또한 기수 출력 버퍼의 출력(dout1) 및 우수차 출력 버퍼의 출력(dout2)이 모두 로우 상태이면 프리셋 인에이블 신호(preset1-enb)는 로우 상태로 인에이블 되고 프리세트 신호는 로우 상태가 된다.

<42> 기수 출력 버퍼의 출력(dout1) 및 우수 출력 버퍼의 출력(dout2)이 서로 다른 경우에는, 프리셋 인에이블 신호는 하이 상태로 디스에이블 되어 프리셋 드라이버(100)는 동작하지 못하게 된다.

- <43> 기수 출력 버퍼의 출력(dout1) 및 우수차 출력 버퍼의 출력(dout2)이 모두 하이 상태인 경우만을 예로 들어 각 소자의 동작을 설명하기로 한다.
- <44> 등화 신호(peq) 및 인버터(I7)에 의해 반전된 신호에 따라 트랜스 미션 게이트(T1)가 턴온되어 인버터(I8 및 I9)로 이루어진 제 1 래치(110)에 출력(dout1)이 래치된다.
- <45> 등화 신호(peq) 및 인버터(I10)에 의해 반전된 신호에 따라 트랜스 미션 게이트(T2)가 턴온되어 인버터(I11 및 I12)로 이루어진 제 2 래치(120)에 출력(dout2)이 래치된다. 출력(dout1 및 dout2)이 모두 하이 상태이므로 제 1 래치 및 제 2 래치(110 및 120)의 출력은 모두 로우 상태가 된다. 노아 게이트(NOR1) 및 NAND 게이트(ND3)의 출력은 모두 하이 상태가 되므로 인버터(I3 및 I4)를 경유한 신호는 하이 상태가 된다. 그러므로 프리셋 신호(preset1)는 하이 상태가 된다.
- <46> 인버터(I13)의 출력은 로우 상태이므로 노아 게이트(NOR2)의 출력은 로우 상태가 된다. 인버터(I15)의 출력, 지연된 등화신호(peqdly1) 및 인버터(I16)에 의해 반전된 등화신호가 모두 하이 상태이므로 낸드게이트(ND4)의 출력은 로우 상태가 된다. 그러므로 프리셋 인에이블 신호(preset1-enb)는 로우 상태가 된다.
- <47> 다음은 도 4를 참조하여 프리셋 회로의 동작을 설명하기로 한다.
- <48> 프리셋 회로(80)는 펄스 출력 인에이블 신호(poe)가 로우 상태로 디스에이블되어 데이터 출력 버퍼가 유효 데이터를 출력하지 않는 구간에서 프리셋 드라이버(100)를 구동하여 프리셋 신호(preset1)가 제어신호(dp12 및 dn12)로 되게 한다.

<49> 펄스 출력 인에이블 신호(poe)가 하이 상태로 인에이블 되거나 프리셋 인에이블 신호(preset1-enb)가 하이 상태로 디스에이블 되는 경우에는 프리셋 드라이버(100)가 디스에이블된다. 도 4의 프리셋 회로를 참조하여 좀더 상세히 설명하기로 한다.

<50> 펄스 출력 인에이블 신호(poe)가 로우 상태이고 도 5의 프리셋 인에이블 신호(preset1-enb)가 로우 상태이면 NOR 게이트(NOR3)의 출력은 하이 상태가 된다. 그러므로 PMOS 트랜지스터(P3)가 턴오프되고, 트랜스 미션 게이트(T3 및 T4)가 턴온된다. 또한 인버터(I17)의 출력에 의해 NMOS트랜지스터(N3)도 턴오프 된다. 그러므로 프리셋 신호(preset1)는 제어신호(dp12 및 dn12)로 된다. 즉, 프리셋 신호(preset1)가 로우 상태이면 제어신호(dp12 및 dn12)가 로우 상태가 되어 도 3의 프리셋 구동회로(100)의 NMOS 트랜지스터(N2)는 턴오프되는 반면에 PMOS 트랜지스터(P2)는 턴온되어 출력(dout1)을 전원 전압(Vcc)으로 프리차지하게 된다. 반대로, 프리셋 신호(preset1)가 하이 상태이면 NMOS 트랜지스터(N2)는 턴온 되는 반면에 PMOS 트랜지스터(P2)는 턴오프되어 출력(dout1)이 디스차지된다.

<51> 한편 펄스출력 인에이블 신호(poe)가 하이로 인에이블되어 출력중이거나, 펄스 출력 인에이블 신호(poe)가 로우이지만 평가 결과 표1의 3 및 4 열에 해당하여 프리셋 동작이 불필요하고 세트동작만 필요한 경우 트랜스 미션 게이트(T3 및 T4)는 턴 오프되고 PMOS트랜지스터(P3)와 NMOS트랜지스터(N3)는 턴온되어 제어 신호(dp12)를 하이로하고 (dn12)를 로우로 하므로 트랜지스터(N2 및 P2)가 모두 오프되게 된다. 참고로 펄스 출력 인에이블 신호 (poe)의 인에이블시에는 트랜지스터(P2와 N2)는 모두 디스에이블되어 있어야 한다.

<52> 도 6 은 세트회로로써 그 동작을 설명하기로 한다.

- <53> 트랜스 미션 게이트(T5)의 동작에 따라 기수 데이터 출력 버퍼(50)의 출력(dout1)과 우수 데이터 출력 버퍼(60)의 출력(dout2)이 서로 연결된다.
- <54> 즉, 펄스 출력 인에이블 신호(poe)가 로우 상태로 디스에이블 되어 데이터 출력 버퍼(50 및 60)가 유효한 데이터를 출력하지 않는 구간에서 지연된 등화 신호(peqdly1)가 로우 상태이면 노아 게이트 (NOR4)의 출력은 하이 상태가 된다 그러므로 인버터(I18 및 I19)를 경유한 신호는 하이 상태가 되고, 인버터(I9)의 출력은 로우 상태가 되므로 트랜스 미션 게이트(T5)가 턴온된다. 그러므로 기수 및 우수 데이터 출력 버퍼(50 및 60)의 출력(dout1 및 dout2)이 쇼트되게 된다. 앞서 설명한 바와 같이 프리셋 회로(80)의 제어 신호(dp12)가 로우 상태이면 프리셋 드라이버(100)의 PMOS트랜지스터(P2)가 턴온되어 기수 데이터 출력 버퍼(50)의 출력(dout1)이 전원전압(Vcc)으로 차지되어 있었다면, 세트회로(70)의 동작에 의해 우수 및 기수 데이터 출력 버퍼(50 및 60)의 출력(dout1 및 dout2)은 동일하게 $1/2 V_{cc}$ 가 된다. 이렇게 출력(dout1 및 dout2)을 $1/2 V_{cc}$ 로 프리차지한 상태에서 펄스 출력 인에이블 신호(poe)가 하이 상태로 인에이블될 때 센스 증폭기로부터의 데이터에 따라 유효 데이터를 출력하게 된다.
- <55> 이하, 본 발명의 기본 4단계인 평가 단계(a), 프리셋 단계(b), 세트 단계(c) 및 출력 단계(d)를 전술한 상세한 설명을 기본으로 하여 설명하기로 한다.
- <56> 1. 평가 단계(도 7의 a 구간)
- <57> 등화신호(peq)가 하이 상태인 구간에서 기수 데이터 출력 버퍼(50)의 출력(dout1)과 우수 데이터 출력 버퍼(60)의 출력(dout2)을 도 5의 평가회로(90)를 이용하여 평가하

여 전술한 표 1과 같이 프리셋 인에이블 신호(preset1-enb)와 프리셋 신호(preset1)를 생성한다.

<58> 2. 프리셋 단계(도 7의 b 구간)

<59> 등화신호(peq)가 로우 상태이고 지연된 등화 신호(peqdly1)가 하이 상태를 유지한 구간에서 도 4의 프리셋 회로(80)의 출력에 의해 도 3의 프리셋 드라이버(100)를 구동시킨다(출력(dout1 및 dout2)이 모두 하이 상태이거나 모두 로우 상태일 때만 동작함). 그로인하여 기수 데이터 출력 버퍼(50)의 출력(dout1)을 전원 전압(Vcc)로 프리차지한다.

<60> 3. 세트 단계(도 7의 c 구간)

<61> 등화 신호(peq) 및 펄스 출력 인에이블 신호(poe)가 모두 로우 상태를 유지하는 구간에서 출력(dout1 및 dout2)을 도 6의 세트 회로(70)를 통해 연결시켜 출력(dout1 및 dout2)을 $1/2 V_{cc}$ 로 만든다.

<62> 4. 출력 단계(도 7의 d 구간)

<63> 펄스 출력 인에이블 신호(poe)가 하이 상태로 인에이블 됨에 따라 센스 증폭기의 출력(sodin)의 실제 데이터를 출력하게 된다.

<64> 도 8 은 본 발명에 따른 데이터 출력 버퍼의 시뮬레이션 결과 파형과 종래 기술에 따른 데이터 출력 버퍼의 시뮬레이션 결과 파형도를 나타내는데, 도 8에 도시된 바와 같이 본 발명은 종래 기술 보다 빠르게 데이터 출력 버퍼의 출력이 변화됨을 알 수 있다.

<65> 도 9 는 본 발명에 따른 데이터 출력 버퍼의 출력 전류를 나타내는 파형도를, 도 10 은 종래 기술에 따른 데이터 출력 버퍼의 출력 전류를 나타내는 파형도를 도시하고 있다.

<66> 도 9 및 도 10을 통해서 알수 있듯이 본 발명에 따른 데이터 출력 버퍼의 침두치 전류가 종래의 그것보다 60% 정도 적게 흐르게 된다.

【발명의 효과】

<67> 상술한 바와 같이 본 발명에 의하면 데이터 출력 버퍼의 데이터 출력 속도를 개선할 수 있으며 침두치 전류를 감소시킬 수 있다.

【특허청구범위】**【청구항 1】**

다수의 데이터 출력 버퍼와,

상기 다수의 데이터 출력 버퍼의 각 출력을 2개씩 한조로 하여 한조의 데이터 출력 버퍼 출력 중 어느 한 출력을 특정 레벨로 프리차지하거나 디스차지 하기 위한 프리셋 드라이버;

상기 한조의 데이터 출력 버퍼의 출력이 동일 할 때 상기 프리셋 드라이버를 구동시키기 위한 제어 신호를 발생하는 제어 회로와,

상기 한조의 데이터 출력 버퍼의 출력을 동일한 레벨로 만들기 위해 한조의 데이터 출력간에 접속되는 세트 회로를 포함하여 이루어진 것을 특징으로 하는 프리셋 구조를 갖는 데이터 출력 버퍼.

【청구항 2】

제 1 항에 있어서,

상기 프리셋 드라이버는 상기 한조의 데이터 출력 버퍼중 한 출력을 제 1 구동 신호에 따라 Vcc로 프리차지 하기 위한 제 1 스위칭 소자와,

상기 한 출력을 제 2 구동 신호에 따라 디스차지 하기 위한 제 2 스위칭 소자를 포함하여 구성된 것을 특징으로 하는 프리셋 구조를 갖는 데이터 출력 버퍼.

【청구항 3】

제 1 또는 2 항에 있어서,

상기 제어 회로는 한조의 데이터 출력 버퍼의 출력이 동일 여부에 따라 프리셋 신호 및 프리셋 인에이블 신호를 생성하기 위한 평가 회로와;

상기 평가 회로의 프리셋 신호 및 프리셋 인에이블 신호에 따라 상기 제 1 구동 신호 및 제 2 구동 신호를 생성하기 위한 프리셋 회로를 포함하여 이루어진 것을 특징으로 하는 프리셋 구조를 갖는 데이터 출력 버퍼.

【청구항 4】

제 1 항에 있어서,

상기 세트 회로는 상기 한조의 데이터 출력 버퍼가 유효 데이터를 출력하기 전에 상기 한조의 데이터 출력 버퍼의 출력을 연결시키기 위한 제 3 스위칭 소자를 포함하여 구성된 것을 특징으로 하는 프리셋 구조를 갖는 데이터 출력 버퍼.

【청구항 5】

제 3 항에 있어서,

상기 평가 회로는 제 1 제어 신호에 따라 한조의 데이터 버퍼의 출력 중 한 출력을 스위칭하기 위한 제 1 스위칭 소자;

상기 제 1 스위칭 소자의 출력을 래치 하기 위한 제 1 래치;

상기 제 1 제어 신호에 따라 한조의 데이터 버퍼의 출력 중 나머지 한 출력을 스위칭하기 위한 제 2 스위칭 소자;

상기 제 2 스위칭 소자의 출력을 래치 하기 위한 제 2 래치;

상기 제 1 래치 및 제 2 래치의 출력을 부정논리합하기 위한 제 1 NOR 게이트;

상기 제 1 래치 및 제 2 래치의 출력을 부정논리곱하기 위한 제 1 NAND 게이트;

상기 제 1 NAND 게이트의 출력을 반전시키기 위한 제 1 인버터;

상기 제 1 인버터의 출력을 반전시켜 상기 프리셋 신호를 생성하기 위한 제 2 인버터;

상기 제 1 NOR 게이트 출력 및 상기 제 1 인버터의 출력을 부정 논리 합 하기 위한 제 2 NOR 게이트;

상기 제 2 NOR 게이트의 반전 출력과 반전된 제 1 제어 신호 및 지연된 제 1 제어 신호를 부정 논리 곱하여 상기 프리셋 인에이블 신호를 생성하기 위한 제 2 NAND 게이트를 포함하여 이루어진 것을 특징으로 하는 프리셋 구조를 갖는 데이터 출력 버퍼.

【청구항 6】

제 3항에 있어서,

상기 프리셋 회로는 상기 프리셋 인에이블 신호 및 제 3 제어 신호를 부정 논리 합하기 위한 NOR 게이트와;

상기 NOR 게이트의 출력을 반전시키기 위한 제 1 인버터와;

상기 NOR 게이트의 출력 및 상기 제 1 인버터의 출력에 따라 턴온되는 제 1 스위칭 소자와;

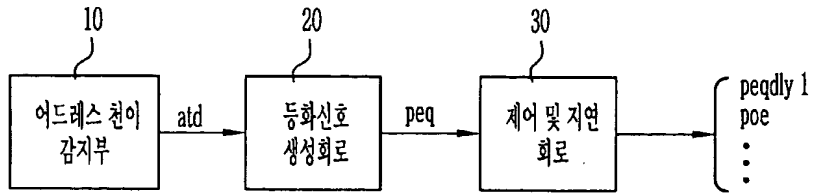
상기 NOR 게이트의 출력 및 상기 제 1 인버터의 출력에 따라 턴온되는 제 2 스위칭 소자와;

상기 NOR 게이트의 출력에 따라 스위칭 하여 상기 프리셋 신호가 상기 제 1 구동 신호가 되도록하기 위한 제 3 스위칭 소자와;

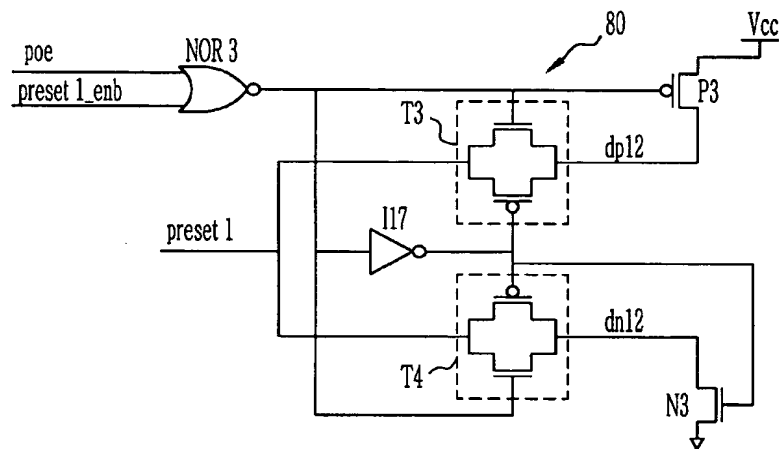
상기 제 1 인버터의 출력에 따라 스위칭하여 상기 프리셋 신호가 상기 제 2 구동 신호가 되도록 하기 위한 제 4 스위칭 소자를 포함하여 구성된 것을 특징으로 하는 프리셋 구조를 갖는 데이터 출력 버퍼.

【도면】

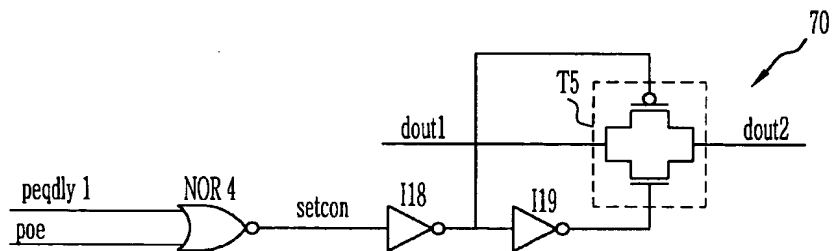
【도 1】



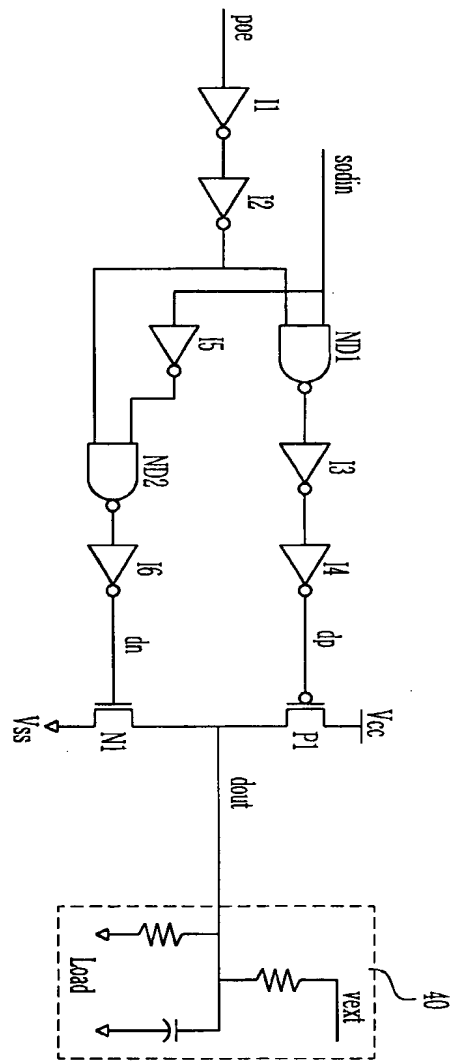
【도 4】



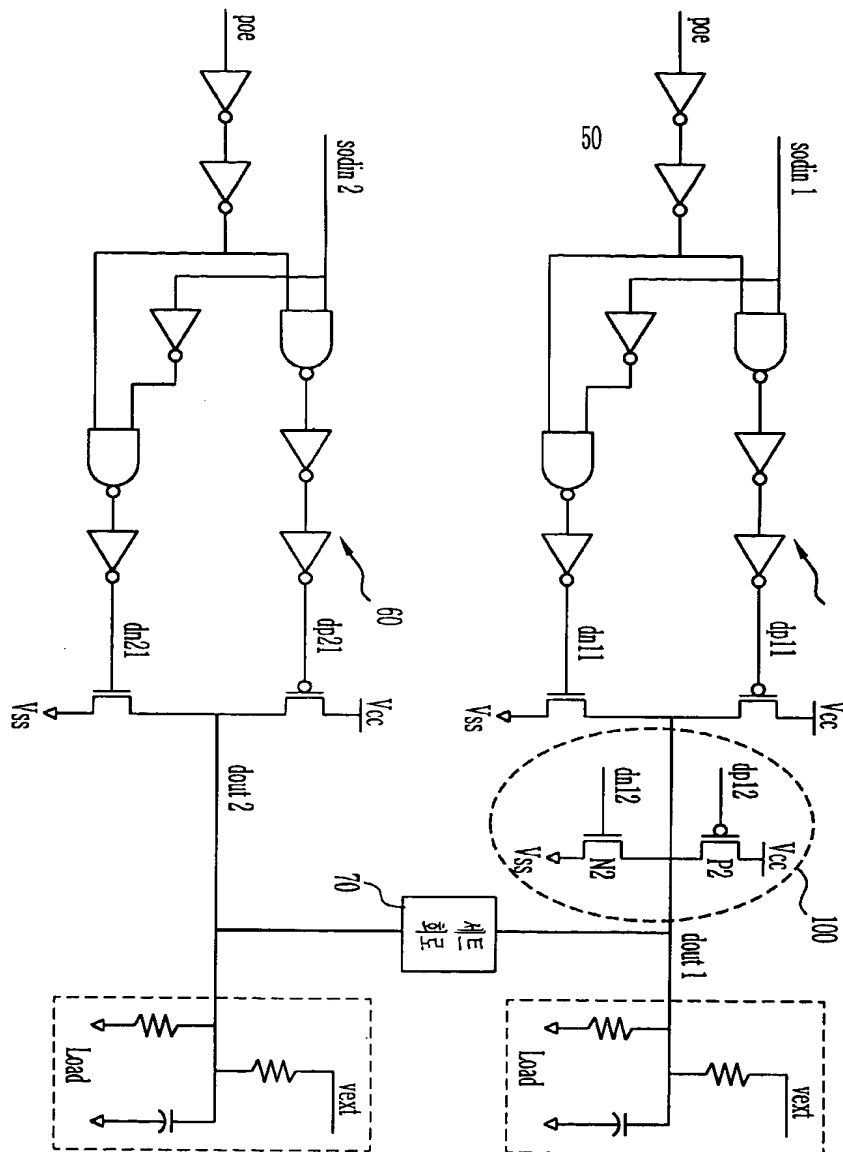
【도 6】



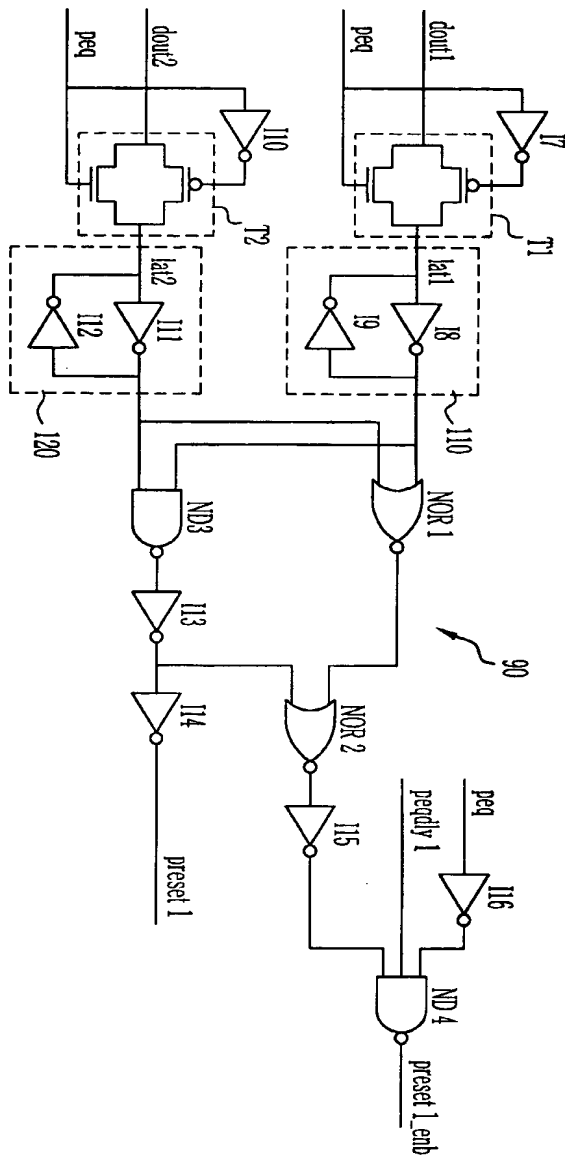
【도 2】



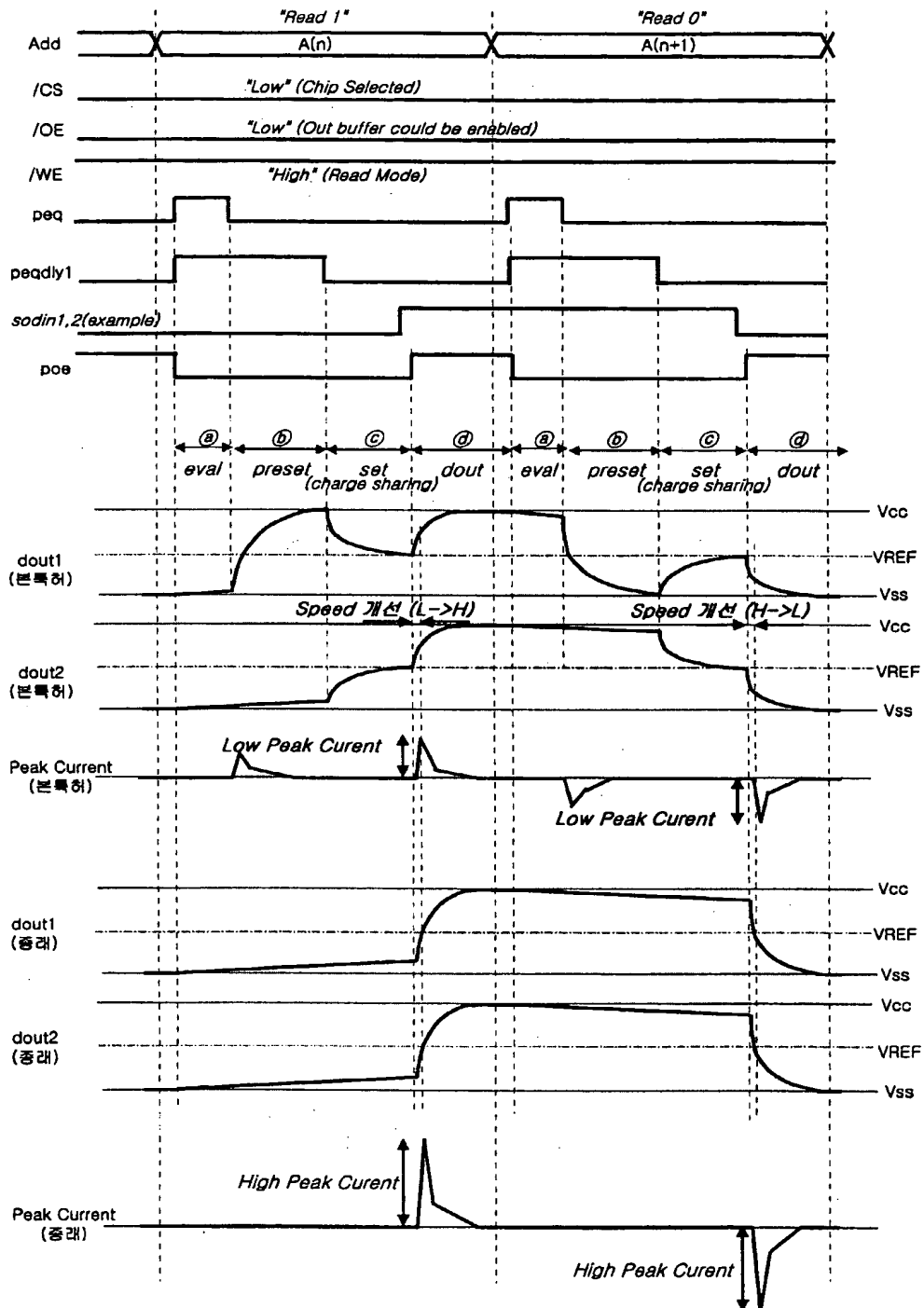
【도 3】



【도 5】



【도 7】



Current(mA)

50.00

40.00

30.00

20.00

10.00

0.00

-10.00

-20.00

-30.00

-40.00

-50.00

0.00 15.00 30.00 45.00 60.00 75.00 90.00 105.00 120.00 135.00 150.00

TIME(ms)

Low Peak Current

~60% (종래대비)

【도 10】

